

國立聯合大學課程綱要

National United University Course Syllabus

開課學院 (College)	電資學院	開課學系 (Department)	電子工程學 系	授課教師 (Instructor)	林昆蔚							
授課學期 (Semester)	114 / 2	學分數/時數 (Credits/Hours)	3 / 3	必修/選修 (Required/Elective)	選修							
課號 (Course Number)	142EEM0006	先修課程 (Prerequisite Course)	<input type="checkbox"/> 規定先修課程： <input checked="" type="checkbox"/> 建議先修課程：數位邏輯設計、超大型積體電路設計概論									
課程名稱 (Course Name)	中(C) 計算機輔助設計導論											
英(E) INTRODUCTION TO COMPUTER-AIDED DESIGN												
教科書及參考 書 (Textbook & Reference Book)	<p>教科書 1. 自編教材 林昆蔚</p> <p>參考書 1. Andrew B. Kahng, Jens Lienig, Igor L. Markov, and Jin Hu. 2022. VLSI Physical Design: From Graph Partitioning to Timing Closure (2nd. ed.). Springer Publishing Company, Incorporated. 2. Giovanni De Micheli. 1994. Synthesis and Optimization of Digital Circuits (1st. ed.). McGraw-Hill Higher Education.</p>											
教材上網地點 (websites for teaching materials)	<input type="checkbox"/> 無 <input type="checkbox"/> 學校 blackboard <input checked="" type="checkbox"/> 學校聯合數位學園 <input type="checkbox"/> 個人網址： <hr/>											
課程目標 (Course Goal)	<p>學習：</p> <p>1. 從 RTL 到 GDSII 的主要步驟與輸入/輸出介面</p> <p>2. 邏輯合成、分割、擺置、繞線、時鐘樹、靜態時序分析、時序收斂、DRC/LVS 的基本概念</p> <p>3. 開源 EDA 與 PDK</p>											
與基本能力指 標之關聯 (Related to common or professional capabilities)	<ul style="list-style-type: none"> ● 系(所)專業基本能力(Professional Capabilities) P1 <input checked="" type="checkbox"/>具備應用進階電子領域知識的能力。 P2 <input checked="" type="checkbox"/>具備研讀及撰寫專業技術報告與論文的能力。 P3 <input checked="" type="checkbox"/>具備專案規劃、組織人力與解決問題的能力。 P4 <input checked="" type="checkbox"/>具備終身學習、社會責任與國際視野的能力。 											
與 UCAN 共通 職能之關聯	<p>U1 <input checked="" type="checkbox"/>溝通表達(透過口頭、書面等方式，表達自己的想法使他人瞭解，並努力理解他人所傳達的資訊。)</p> <p>U2 <input checked="" type="checkbox"/>持續學習(了解能力發展的重要性，並能探索、規劃和有效管理自身的能力，並保持繼續成長的企圖心。)</p> <p>U3 <input checked="" type="checkbox"/>人際互動(依不同情境，運用適當方法及個人風格，與他人互動或共事。)</p> <p>U4 <input checked="" type="checkbox"/>團隊合作(能積極參與團隊任務，並與團隊成員有良好互動，以共同完成目標。)</p> <p>U5 <input checked="" type="checkbox"/>問題解決(遇到狀況時能釐清問題，透過系統化的資訊蒐集與分析，提</p>											

	<p>出解決方案。)</p> <p>U6 ■創innovati(在有限的資源下，不侷限既有的工作模式，能夠主動提出新的建議或想法，並落實於工作中。)</p> <p>U7 ■工作責任及紀律(瞭解並執行個人在組織中的責任，遵守組織及專業上對倫理、制度及誠信的要求。)</p> <p>U8 ■資訊科技應用(運用各行業所需的資訊技術工具，有效存取、管理、整合並傳遞訊息。)</p>																																																												
課程大綱 (Course Outline)	<p>1.IC 設計流程概述</p> <p>2.HDL 簡介</p> <p>3.邏輯合成與標準元件庫</p> <p>4.開源 EDA 工具</p> <p>5.DRC/LVS 入門</p> <p>6.Case Study：以開源 PDK 示範小規模 IC 設計</p>																																																												
每週進度 (Course Schedule)	<table border="1"> <thead> <tr> <th>週別</th><th>進 度</th><th>對應基本能力</th><th>週別</th><th>進 度</th><th>對應基本能力</th></tr> </thead> <tbody> <tr> <td>一</td><td>IC 設計流程</td><td>P1~P6</td><td>十</td><td>繞線</td><td>P1~P6</td></tr> <tr> <td>二</td><td>HDL</td><td>P1~P6</td><td>十一</td><td>繞線</td><td>P1~P6</td></tr> <tr> <td>三</td><td>使用 HDL 設計數位 IC</td><td>P1~P6</td><td>十二</td><td>時鐘樹</td><td>P1~P6</td></tr> <tr> <td>四</td><td>邏輯合成</td><td>P1~P6</td><td>十三</td><td>靜態時序分析</td><td>P1~P6</td></tr> <tr> <td>五</td><td>邏輯合成</td><td>P1~P6</td><td>十四</td><td>時序收斂</td><td>P1~P6</td></tr> <tr> <td>六</td><td>邏輯合成</td><td>P1~P6</td><td>十五</td><td>DRC/LVS</td><td>P1~P6</td></tr> <tr> <td>七</td><td>標準元件庫</td><td>P1~P6</td><td>十六</td><td>Case Study</td><td>P1~P6</td></tr> <tr> <td>八</td><td>分割</td><td>P1~P6</td><td>十七</td><td>Case Study</td><td>P1~P6</td></tr> <tr> <td>九</td><td>擺置</td><td>P1~P6</td><td>十八</td><td>期末測驗</td><td>P1~P6</td></tr> </tbody> </table>	週別	進 度	對應基本能力	週別	進 度	對應基本能力	一	IC 設計流程	P1~P6	十	繞線	P1~P6	二	HDL	P1~P6	十一	繞線	P1~P6	三	使用 HDL 設計數位 IC	P1~P6	十二	時鐘樹	P1~P6	四	邏輯合成	P1~P6	十三	靜態時序分析	P1~P6	五	邏輯合成	P1~P6	十四	時序收斂	P1~P6	六	邏輯合成	P1~P6	十五	DRC/LVS	P1~P6	七	標準元件庫	P1~P6	十六	Case Study	P1~P6	八	分割	P1~P6	十七	Case Study	P1~P6	九	擺置	P1~P6	十八	期末測驗	P1~P6
週別	進 度	對應基本能力	週別	進 度	對應基本能力																																																								
一	IC 設計流程	P1~P6	十	繞線	P1~P6																																																								
二	HDL	P1~P6	十一	繞線	P1~P6																																																								
三	使用 HDL 設計數位 IC	P1~P6	十二	時鐘樹	P1~P6																																																								
四	邏輯合成	P1~P6	十三	靜態時序分析	P1~P6																																																								
五	邏輯合成	P1~P6	十四	時序收斂	P1~P6																																																								
六	邏輯合成	P1~P6	十五	DRC/LVS	P1~P6																																																								
七	標準元件庫	P1~P6	十六	Case Study	P1~P6																																																								
八	分割	P1~P6	十七	Case Study	P1~P6																																																								
九	擺置	P1~P6	十八	期末測驗	P1~P6																																																								
教學方法 (Classroom Tasks)	<p>1.投影片講述</p> <p>2.工具操作示範</p> <p>3.案例教學</p>																																																												
評分方式 (Grading)	<p>1.隨堂測驗 70%</p> <p>2.期末測驗 30%</p>																																																												
上課規範 (classroom rules)	無特殊規範																																																												
聯絡資訊 (contact info)	<p>課業輔導時間 (office hours) :</p> <p>研究室電話：</p>																																																												

	e-mail :
本課程可應用之相關產業 (Applications)	IC 設計、EDA 軟體與工程服務、晶圓代工/封裝測試廠
授課教師開設 本門課程之背景 (Professional background)	<p><input checked="" type="checkbox"/> 學位專長：(<input type="checkbox"/>大學主修 <input type="checkbox"/>大學輔系或學程 <input checked="" type="checkbox"/>研究所主修)</p> <p><input checked="" type="checkbox"/> 研究專長：晶片設計自動化</p> <p><input type="checkbox"/> 實務專長：(<input type="checkbox"/>證照 <input type="checkbox"/>工作經驗)</p> <p><input type="checkbox"/> 其他：</p>

<請遵守智慧財產權，勿非法影印>